

CLIPPEDIMAGE= JP407161827A
PAT-NO: JP407161827A
DOCUMENT-IDENTIFIER: JP 07161827 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: June 23, 1995

INVENTOR-INFORMATION:

NAME
KAMIYAMA, SATOSHI

ASSIGNEE-INFORMATION:

NAME
NEC CORP

COUNTRY
N/A

APPL-NO: JP05302472
APPL-DATE: December 2, 1993

INT-CL (IPC): H01L021/8242; H01L027/108 ; H01L021/28 ;
H01L021/318 ; H01L027/04
; H01L021/822

ABSTRACT:

PURPOSE: To provide the formation method of a capacitance element, for a DRAM, which can suppress a reduction in a capacitance value and which can suppress a degradation in a leakage current characteristic.

CONSTITUTION: A rapid thermal nitriding operation is executed to a capacitance lower-part electrode 2 which is composed of a polycrystal silicon film, so that a capacitance lower-part electrode 2A is formed. A tantalum oxide film as a capacitance insulating film is subjected to densification operation, and a tantalum oxide film 11A is formed. A capacitance upper-part electrode which is composed of a titanium nitride film is formed and then subjected to a nitriding operation, so that a capacitance upper-part electrode 3A is formed.

COPYRIGHT: (C)1995, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161827

(43) 公開日 平成7年(1995)6月23日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8242				
27/108				
21/28	3 0 1 A	8826-4M		
		7210-4M	H 0 1 L 27/ 10	3 2 5 J
		8832-4M	27/ 04	C
審査請求 有 請求項の数 6 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平5-302472

(22) 出願日 平成5年(1993)12月2日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 神山 聡

東京都港区芝五丁目7番1号 日本電気株式会社内

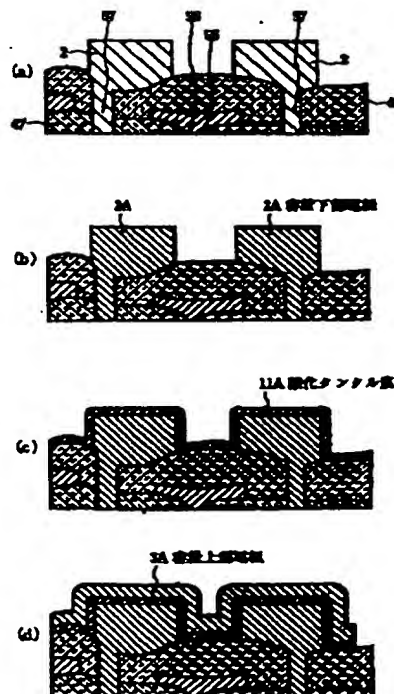
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】容量値の低減とリーク電流特性の劣化とを抑制できるDRAMの容量素子の形成方法を提供する。

【構成】多結晶シリコン膜からなる容量下部電極2に急速熱窒化処理を施して容量下部電極2Aを形成する。容量絶縁膜である酸化タンタル膜に緻密化処理をして酸化タンタル膜11Aを形成する。窒化チタン膜からなる容量上部電極を形成した後、窒化処理を行なって容量上部電極3Aを形成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 容量下部電極をなす多結晶シリコン膜の表面の自然酸化膜を除去し、ランプアニールを用いた急速熱窒化処理により該多結晶シリコン膜表面を窒化し、酸化タンタル膜を形成する工程と、前記酸化タンタル膜を緻密化処理する工程と、容量上部電極をなす導電体膜を形成する工程と、前記導電体膜を窒化処理する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記多結晶シリコン膜の表面の前記自然酸化膜の除去方法が、無水酢酸あるいは希釈酢酸を用いた処理であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記酸化タンタル膜の形成方法が、有機系のタンタル原料を用いた化学気相成長法であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記酸化タンタル膜の緻密化処理が、電気炉による加熱、ランプ加熱を用いた急熱加熱、およびプラズマ処理による加熱の少なくとも1つを用いた酸素雰囲気もしくは亜酸化窒素雰囲気での処理であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記容量上部電極をなす導電体膜が、窒化チタン膜を含んでいることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記導電体膜の窒化処理が、アンモニア雰囲気、窒素雰囲気あるいは亜酸化窒素雰囲気でのプラズマ処理であることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特に酸化タンタル膜を容量絶縁膜として用いるDRAMの容量素子の形成方法に関する。

【0002】

【従来の技術】256MビットDRAM以降の超LSIメモリデバイスの容量素子においては、単位面積当りの容量値を大きくできる高誘電率を有した容量絶縁膜の採用が検討されている。このような容量絶縁膜の中で、化学気相成長法(CVD法)による酸化タンタル膜は、比誘電率 ϵ_r が25~30と大きく、優れたステップカバレージ特性を有しており、さらに成膜方法が高誘電率を有した他の絶縁膜と比較して極めて容易であることから、多くの研究がなされている。

【0003】DRAMのセルの容量素子の製造工程の断面図である図5を参照すると、容量絶縁膜として酸化タンタル膜を用いた従来のDRAMのスタック型の容量素子の製造方法は、以下のようになっている。

【0004】まず、以下の構造を形成する。P型シリコン基板表面にトランジスタを形成する。このトランジスタを層間絶縁膜47により覆う。層間絶縁膜47にトラ

ンジスタのN型のソース、ドレイン領域の一方に達するコンタクト孔58を形成する。コンタクト孔58を介してこのN型のソース、ドレイン領域に接続されるビット線56を、層間絶縁膜47表面上に形成する。層間絶縁膜48を形成して、このビット線56を含めて層間絶縁膜47表面上を覆う。

【0005】このような構造のもとで、まず、層間絶縁膜48、47を貫通して上記トランジスタのソース、ドレイン領域の他方に達するコンタクト孔57が形成される。全面に燐がドーパされた多結晶シリコン膜が形成され、この多結晶シリコン膜がパターニングされて容量下部電極2が形成される。次に、有機原料であるペンタエトキシタンタル($\text{Ta}(\text{OC}_2\text{H}_5)_5$)ガスと酸素とを用いた減圧気相成長法により、容量下部電極2表面上を含めた層間絶縁膜48表面上に酸化タンタル膜11が形成される〔図5(a)〕。次に、この酸化タンタル膜11のリーク電流特性を改善するために酸素雰囲気での高温熱処理が行なわれ、酸化タンタル膜11が酸化タンタル膜11Bになる〔図5(b)〕。この熱処理温度は、一般的に700~900℃である。続いて、容量上部電極3が形成される〔図5(c)〕。この上部電極3としては、窒化チタン膜、タングステン膜あるいは多結晶シリコン膜等が用いられる。

【0006】

【発明が解決しようとする課題】上述した容量素子においては、以下に述べる問題点がある。従来の容量素子形成工程において、容量下部電極2を構成する多結晶シリコン膜表面上に酸化タンタル膜11を形成し、リーク電流特性改善のために、酸素雰囲気での高温熱処理を施すことにより、酸化タンタル膜11を酸化タンタル膜11Bにしている。このように形成された容量絶縁膜を有する容量素子では、酸化シリコン膜換算膜厚(比誘電率 $\epsilon_r=3.9$)にして約3nm($C_s=11.5\text{fF}/\mu\text{m}^2$)の容量値しか得られない。これは、この酸素雰囲気での高温熱処理により、酸化タンタル膜11Bと容量下部電極2との界面に約2nm程度の厚めの酸化シリコン膜が形成されるためである。この(約2nm程度の酸化シリコン膜と酸化タンタル膜11Bとが積層された)容量絶縁膜を256MビットDRAMなどの容量素子へ適用した場合、十分な容量値は得られない。

【0007】また、従来技術で形成される容量素子のリーク電流特性では、リーク電流密度Jが $1.0^{-8}\text{A}/\text{cm}^2$ となる電圧は約0.7Vと小さく、実デバイスに十分適用できる特性を有していない。さらに、この容量素子を形成した後、イオン注入の活性化や層間絶縁膜のリフローなどの高温熱処理を行なうと、よりリーク電流特性が劣化してしまうという問題点がある。

【0008】

【課題を解決するための手段】本発明の半導体装置の製造方法は、容量下部電極をなす多結晶シリコン膜の表面

の自然酸化膜を除去し、ランプアニールを用いた急速熱空化処理によりこの多結晶シリコン膜表面を窒化し、酸化タンタル膜を形成する工程と、上記酸化タンタル膜を緻密化処理する工程と、容量上部電極をなす導電体膜を形成する工程と、上記導電体膜を窒化処理する工程とを有する。

【0009】好ましくは、自然酸化膜の除去方法が、無水弗酸あるいは希釈弗酸を用いた処理である。また、酸化タンタル膜の形成方法が、有機系のタンタル原料を用いた化学気相成長法である。また、酸化タンタル膜の緻密化処理が、電気炉による加熱、ランプ加熱を用いた急熱加熱、およびプラズマ処理による加熱の少なくとも1つを用いた酸素雰囲気もしくは亜酸化窒素雰囲気での処理である。さらにまた、上記導電体膜は、窒化チタン膜を含んでいる。さらに好ましくは、導電体膜の窒化処理が、アンモニア雰囲気、窒素雰囲気あるいは亜酸化窒素雰囲気でのプラズマ処理である。

【0010】

【実施例】次に、本発明について図面を参照して説明する。本発明の実施例の説明に先だて、まず、本発明の実施例が適用される半導体装置について説明する。

【0011】半導体装置の断面模式図である図1を参照すると、本発明の一実施例が適用されるDRAMは、以下のような構造になっている。

【0012】P型シリコン基板41表面にはNウェル42が形成され、Nウェル42表面には第1のPウェル43aが形成され、Nウェル42周辺の表面にはN型分離領域45が形成されている。Nウェル42を除いたP型シリコン基板41表面には第2のPウェル43bが形成されている。Pウェル43aとPウェル43bとは、上記N型分離領域45とこの表面上に設けられたフィールド酸化膜46とにより素子分離されている。

【0013】第1のPウェル43a表面上には、フィールド酸化膜46により素子分離された活性領域にメモリセルを構成するそれぞれのトランジスタ50が形成されている。図4では、一対のメモリセルのみを図示してある。それぞれのトランジスタ50は、Pウェル43a表面に設けられたN型のソース・ドレイン領域51a、51bと、Pウェル43a表面上に設けられたゲート絶縁膜52と、ゲート絶縁膜52を介してPウェル43a表面上に設けられた多結晶シリコン膜53およびシリサイド膜54が積層してなるゲート電極55とから構成されている。これらのトランジスタ50は、第1の層間絶縁膜47により覆われている。この層間絶縁膜47には、一対のトランジスタ50が共有する（一方の）ソース・ドレイン領域51aに達するコンタクト孔58が設けられている。層間絶縁膜47表面上に設けられたビット線56は、このコンタクト孔58を介して、上記ソース・ドレイン領域51aに接続されている。

【0014】このビット線56は第2の層間絶縁膜48

により覆われている。この層間絶縁膜48の上には、（点線で囲んだ）容量素子部70が設けられている。すなわち、本実施例によるスタック型の容量素子は、容量下部電極2Aと、容量絶縁膜としての酸化タンタル膜11Aと、容量上部電極3Aとから構成されている。層間絶縁膜48、47を貫通して一対のトランジスタ50のそれぞれの（他方の）N型のソース・ドレイン領域51bに達するコンタクト孔57を介して、一対の容量下部電極2Aは、それぞれのソース・ドレイン領域51bに接続されている。また、上記容量上部電極3Aは、一対のメモリセルのそれぞれの容量素子に共通して連続的に形成されている。この容量上部電極3Aは第2の層間絶縁膜48表面上に延在し、上層配線と接続するための取り出し部分となる容量上部電極3Aaが設けられている。

【0015】上記容量素子部70は、第3の層間絶縁膜49により覆われている。層間絶縁膜49に設けられたコンタクト孔67を介して、層間絶縁膜49表面上に設けられた複数のアルミ電極71のうちの1つのアルミ電極71aは、上記容量上部電極3Aaに接続されている。このアルミ電極71aは接地電位等の固定電位になっている。コンタクト孔67の側面および底面は窒化チタン膜72に覆われ、コンタクト孔67はタングステン膜73により充填されている。また、アルミ電極71等の底面にも窒化チタン膜72が設けられている。

【0016】一方、記憶装置の周辺回路を構成するトランジスタ60は、Pウェル43b表面に設けられたN型のソース・ドレイン領域51と、Pウェル43b表面上に設けられたゲート絶縁膜52と、ゲート絶縁膜52を介してPウェル43b表面上に設けられた多結晶シリコン膜53およびシリサイド膜54が積層してなるゲート電極55とから構成されている。ソース・ドレイン領域51の一方に、層間絶縁膜49、48、47を通して設けられたコンタクト孔68を介して、アルミ電極71bが接続されている。このコンタクト孔68も、上記コンタクト孔67と同様に、側面および底面は窒化チタン膜72に覆われ、タングステン膜73により充填されている。同様に、周辺回路の他のトランジスタ60のゲート電極55は、コンタクト孔を介してアルミ電極71cに接続されている。

【0017】次に、本発明の一実施例について説明する。

【0018】半導体装置の製造工程の断面図であり、図1の容量素子部70の部分拡大断面図である図2と、化学気相成長装置の断面模式図である図3とを参照すると、本発明の一実施例は、以下のようにになっている。

【0019】まず、第2の層間絶縁膜48を形成し、層間絶縁膜48、47を貫通するコンタクト孔57を形成する。その後、化学気相成長（CVD）法により多結晶シリコン膜を堆積し、この多結晶シリコン膜に燐をドー

アした後、パターニングを行ない容量下部電極2を形成する〔図2(a)〕。なお、コンタクト孔57内を充填する材料としては、容量下部電極2を形成するために形成された膜がドーパされた多結晶シリコン膜でもよいが、予じめ別途形成するN型の多結晶シリコン膜、もしくはタングステン膜等でもよい。

【0020】次に、この容量下部電極2表面の自然酸化膜を希釈弗酸により除去した後、ランプアニールを用いた急速熱窒化(RTN)処理を行ない、容量下部電極2を構成する多結晶シリコン表面を窒化してその表面に窒化シリコン膜(SiN_x) (図示せず)を形成し、容量下部電極2を容量下部電極2Aに変換する〔図2(b)〕。上記RTN処理としてはアンモニア(NH_3)ガス中での処理が好ましく、RTN温度としては800~1100℃で行なうのが適している。また、自然酸化膜の除去には、無水弗酸を用いてもよい。

【0021】次に、この容量下部電極2A表面上を含めた層間絶縁膜48表面上に、酸化タンタル膜(図示せず)をCVD法により堆積する。これの形成には、図3に示す減圧化学気相成長(LPCVD)装置を使用する。原料ガスとしては、ペンタエトキシタンタル($\text{Ta}(\text{OC}_2\text{H}_5)_5$)ガスと酸素とを用いる。ペンタエトキシタンタルガスは、ペンタエトキシタンタルがヒータ14により気化室15内で気化され、キャリアガスアルゴンの導入管23によりバルブ22cを通して送られてきたキャリアガスであるアルゴンガスにより、バルブ22dを通して、半導体ウェハ18を搭載した基板ホルダ17を載置した反応炉19へ導入される。同時に、酸素ガスが、酸素ガスの導入管12からバルブ22bを通して反応炉19へ導入される。反応室19はヒータ16により熱せられており、導入された有機タンタルガスと酸素ガスとが化学気相反応を起し、半導体ウェハ18表面に酸化タンタル膜が堆積する。成長条件としては、気化室15の加熱温度が30~200℃、キャリアガスとしてのアルゴンガスの流量が10~1000sccm、酸素ガスの流量が0.1~20SLM、圧力が $1.3 \times 10^2 \sim 1.3 \times 10^4$ Paで行なうのが適している。この反応室19には、上記導入管12、23の他にアルゴンガスの導入管13が接続され、バルブ22aを介してアルゴンガスが導入される。また、この反応室には、排気口21を有する真空ポンプ20が接続されている。

【0022】上記酸化タンタル膜が堆積された後、この酸化タンタル膜が緻密化処理されて酸化タンタル膜11Aが形成される〔図2(c)〕。この処理は、電気炉による加熱、ランプ加熱を用いた急熱加熱、およびプラズマ処理による加熱の少なくとも1つを用いた酸素雰囲気もしくは亜酸化窒素(N_2O)雰囲気での処理である。

【0023】続いて、全面に窒化チタン膜(図示せず)を堆積し、この窒化チタン膜(および酸化タンタル膜1

1A)をパターニングする。さらに、窒化処理が行なわれ、窒化チタン膜からなる容量上部電極3Aが形成される〔図2(d)〕。この窒化処理は、アンモニアガスを用いたプラズマ処理である。この条件は、温度が室温~600℃、圧力が $1.3 \times 10^2 \sim 1.3 \times 10^4$ Pa、パワーが50~500Wあるのが適している。ガスとしては、アンモニアガスの他に窒素ガスあるいは亜酸化窒素(N_2O)ガスを用いてもよい。

【0024】なお、本実施例では容量上部電極3Aとして窒化チタン膜を用いたが、本発明はこれに限定されるものではなく、窒化チタン膜を最下層にした積層膜、窒化タングステン膜あるいは窒化タングステン膜を最下層にした積層膜等でもよい。

【0025】その後、第3の層間絶縁膜49の堆積およびリフロー、コンタクト孔67、68等の形成およびコンタクト膜拡散層の形成、アルミ電極71、71a、71b、71c等の形成(図1参照)が行なわれ、DRAMが完成する。容量素子部70が形成された後の高温熱処理としては、層間絶縁膜49のリフロー、コンタクト孔68底面へのコンタクト膜拡散層の形成のための活性化処理等があり、700~850℃程度である。

【0026】上記一実施例の採用により得られた容量素子の容量値は、酸化シリコン膜換算膜厚にして約2.5nm程度($C_s = 13.8 \text{ fF}/\mu\text{m}^2$)であり、従来技術により形成された容量素子の容量値より大きな値となる。これは、容量下部電極2Aをなす多結晶シリコン膜の表面がRTN処理により窒化され、酸化タンタル膜11Aを形成するための緻密化処理(酸化処理)において、多結晶シリコン膜表面の酸化を抑制するためである。なお、この緻密化処理は、酸化タンタル膜のリーク電気特性を向上される目的で行なわれる。

【0027】リーク電流特性のグラフである図4を参照すると、上記一実施例の採用により得られた容量素子のリーク電流特性は、以下のようになっている。ここで、本実施例の効果を明かにするために、従来技術(ここでは、容量上部電極3を窒化チタン膜で形成した)により得られた容量素子のリーク電流特性も示してある。また、両容量素子について、(リフロー、活性化処理等の)高温熱処理の前後でのリーク電流特性も示してある。

【0028】まず、高温熱処理前では、従来技術により形成したものと比較して、本実施例により形成した容量素子のリーク電流特性のほうが、良好な結果が得られている。これは、容量下部電極表面の自然酸化膜の有無に関係する。自然酸化膜の膜質は電気絶縁膜としては不十分と考えられているが、本実施例においてはこの自然酸化膜を除去した後RTN処理を行なって容量下部電極2A表面に電気絶縁膜として良質な窒化シリコン膜を形成しているためである。

【0029】さらに、高温熱処理後では、次のようにな

7

8

っている。従来技術により形成した容量素子のリーク電流特性は、熱処理温度の上昇とともに、劣化している。これは、(容量上部電極3を構成する)窒化チタン膜と酸化タンタル膜11とがこの熱処理により反応するためである。一方、本実施例による容量素子のリーク電流特性は、熱処理を施しても際だった劣化は見られない。これは、窒化チタン膜を窒化処理して容量上部電極3Aを形成するため、ストイキオメトリな窒化チタン膜によりこの容量上部電極3Aが構成されることになり、高温熱処理における(容量上部電極3Aを構成する)窒化チタン膜と酸化タンタル膜11Aとの反応が抑制できるためと考えられる。

【0030】

【発明の効果】以上説明したように本発明の半導体装置の製造方法によると、DRAMの容量素子の容量値の低減とリーク電流特性の劣化とが抑制される。

【図面の簡単な説明】

【図1】本発明を適用するDRAMの素子構造を示す断面模式図である。

【図2】本発明の一実施例の製造工程の断面図であり、図1における容量素子部70の部分の部分拡大断面図である。

【図3】上記一実施例に使用するCVD装置の断面模式図である。

【図4】上記一実施例の効果を説明するための図であり、容量素子のリーク電流特性を示すグラフである。

【図5】従来の半導体装置の製造工程の断面図である。

【符号の説明】

2, 2A 容量下部電極

3, 3A, 3Aa 容量上部電極

11, 11A, 11B 酸化タンタル膜

12, 13, 23 導入管

14, 16 ヒータ

15 気化室

17 基板ホルダ

18 半導体ウェハ

19 反応室

20 真空ポンプ

21 排気口

22a~22d バルブ

41 P型シリコン基板

42 Nウェル

43a, 43b Pウェル

45 N型分離領域

46 フィールド酸化膜

47, 48, 49 層間絶縁膜

50, 60 トランジスタ

51, 51a, 51b N型のソース・ドレイン領域

52 ゲート絶縁膜

53 多結晶シリコン膜

54 シリサイド膜

55 ゲート電極

56 ビット線

57, 58, 67, 68 コンタクト孔

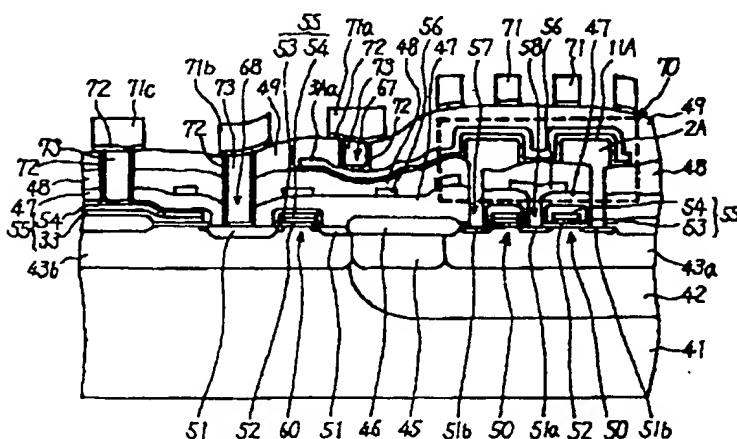
70 容量素子部

71, 71a~71c アルミ電極

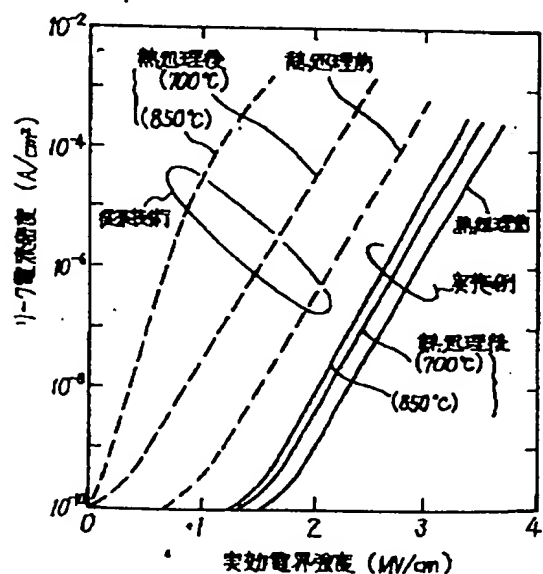
72 窒化チタン膜

73 タングステン膜

【図1】

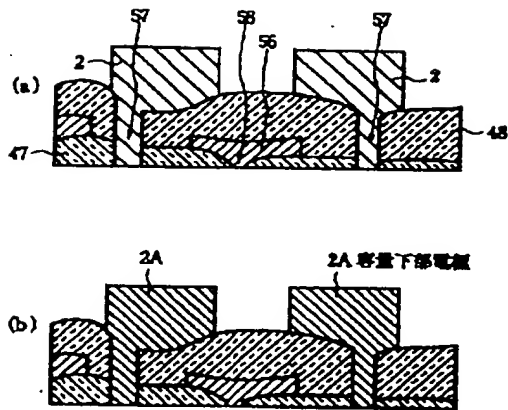


【図4】

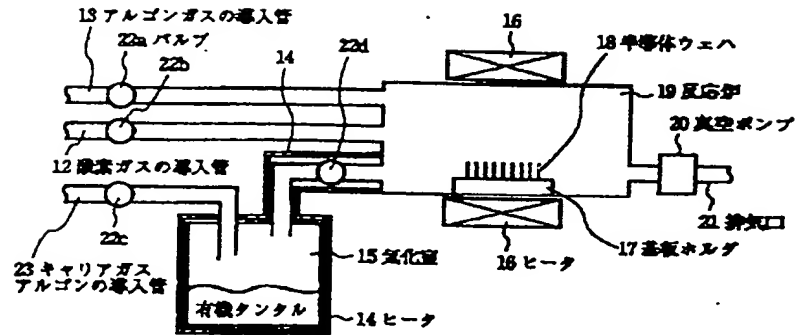


BEST AVAILABLE COPY

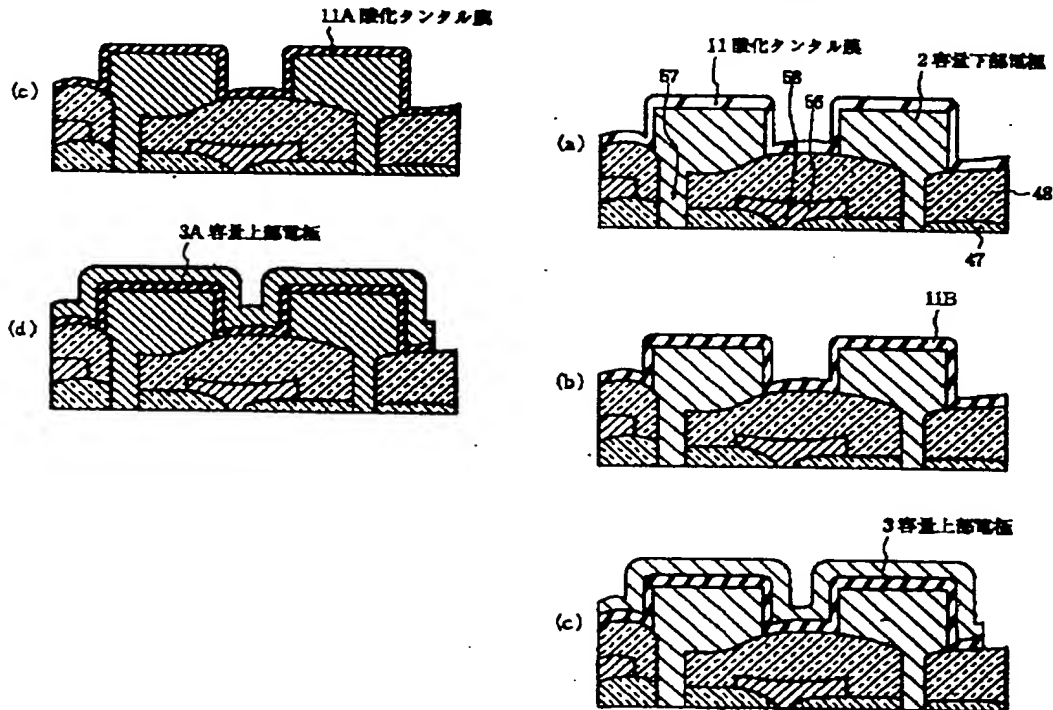
【図2】



【図3】



【図5】



BEST AVAILABLE COPY

フロントページの続き

(51)Int. Cl.⁶

H01L 21/318

27/04

21/822

識別記号 庁内整理番号

B 7352-4M

F I

技術表示箇所